

BEST AVAILABLE COPY

ELECTRONIC MUSICAL INSTRUMENT

D2

Publication number: JP6167969

Publication date: 1994-06-14

Inventor: SAITO TSUTOMU

Applicant: KAWAI MUSICAL INSTR MFG CO

Classification:

- international: G06F1/04; G10H1/00; H02J7/00; G06F1/04; G10H1/00; H02J7/00; (IPC1-7): G10H1/00; G06F1/04; H02J7/00

- european:

Application number: JP19920341039 19921130

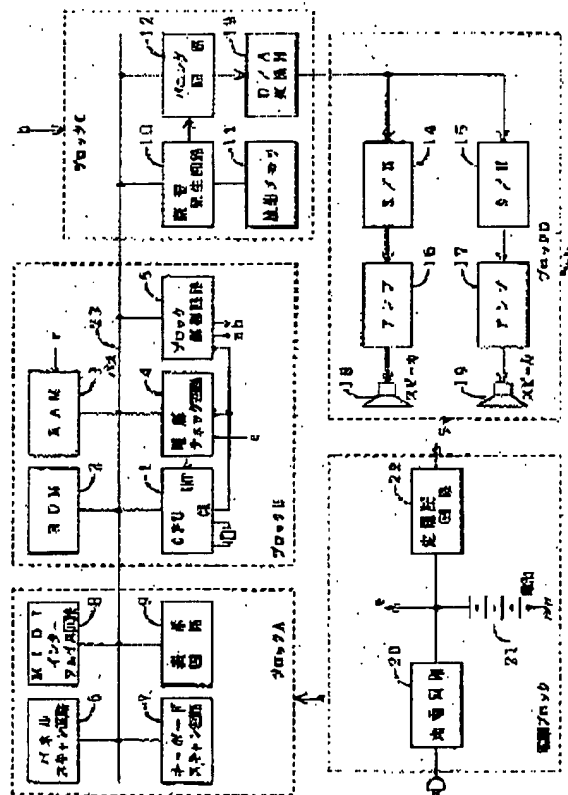
Priority number(s): JP19920341039 19921130

Report a data error here

Abstract of JP6167969

PURPOSE: To provide the electronic musical instrument which can operate and retain storage for a long period of time without using any backup battery and generates no broken sound even in case of a voltage deficiency.

CONSTITUTION: The electronic musical instrument is equipped with a measuring means 4 which measures the voltage of the power source, a block control means 5 which divides the inside of the electronic musical instrument into plural blocks and performs operation stop control at every block, and a control means which controls the block control means 5 according to the output of the measuring means 4 to stop only the operation of a part of blocks and also controls a sound volume control means according to the output of the measuring means 4 so as to decrease the sound volume according to a drop in the voltage.



Data supplied from the esp@cenet database - Worldwide

02

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-167969

(43) 公開日 平成6年(1994)6月14日

(51) Int. Cl. ⁵	識別記号	F I
G10H 1/00	Z 8622-5H	
G06F 1/04	301 B 7165-5B	
H02J 7/00	302 B 9060-5G	

審査請求 未請求 請求項の数 4 (全9頁)

(21) 出願番号 特願平4-341039

(22) 出願日 平成4年(1992)11月30日

(71) 出願人 000001410

株式会社河合楽器製作所
静岡県浜松市寺島町200番地

(72) 発明者 斎藤 勉

静岡県浜松市寺島町200番地 株式会社河合楽器製作所内

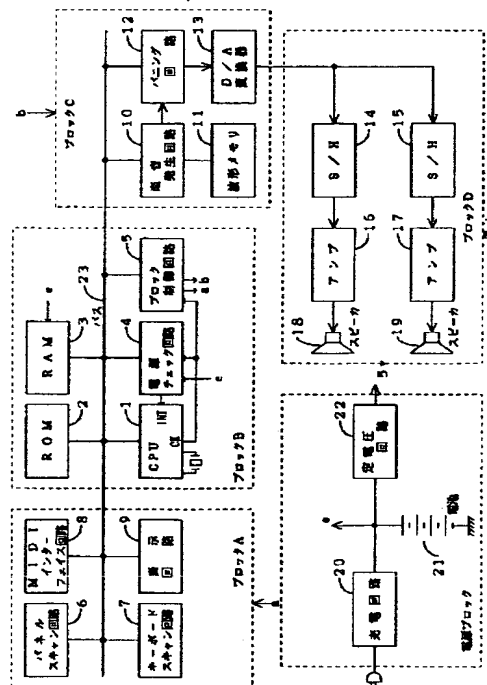
(74) 代理人 弁理士 平木 道人 (外2名)

(54) 【発明の名称】 電子楽器

(57) 【要約】

【目的】 バックアップ用の電池を用いることなく、長時間の動作および記憶保持が可能であり、かつ電圧不足でも音が割れない電子楽器を提供すること。

【構成】 電子楽器において、電源の電圧を測定する測定手段と、電子楽器の内部を複数のブロックに分割し、前記各ブロック毎に動作停止制御を行うことができるブロック制御手段と、前記測定手段の出力に基づいて、ブロック制御手段を制御し、一部のブロックの動作のみを停止すると共に前記測定手段の出力に基づいて、電圧の低下に従って音量を小さくするように音量制御手段を制御する制御手段とを備えたこと。



【特許請求の範囲】

【請求項 1】 電源の電圧を測定する測定手段と、電子楽器の内部を複数のブロックに分割し、前記各ブロック毎に動作停止制御を行うことができるブロック制御手段と、前記測定手段の出力に基づいて、一部のブロックの動作のみを停止するようにブロック制御手段を制御する制御手段とを備えたことを特徴とする電子楽器。

【請求項 2】 前記ブロック制御手段は、マスタクロックあるいは電源の供給の片方もしくは両方を制御することを特徴とする請求項 1 に記載の電子楽器。

【請求項 3】 電源の電圧を測定する測定手段と、前記測定手段の出力に基づいて、電圧の低下に従って音量を小さくするように音量制御手段を制御する制御手段とを備えたことを特徴とする電子楽器。

【請求項 4】 電源の電圧を測定する測定手段と、電子楽器の内部を複数のブロックに分割し、前記各ブロック毎に動作停止制御を行うことができるブロック制御手段と、前記測定手段の出力に基づいて、一部のブロックの動作のみを停止するようにブロック制御手段を制御すると共に、前記測定手段の出力に基づいて、電圧の低下に従って音量を小さくするように音量制御手段を制御する制御手段とを備えたことを特徴とする電子楽器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電子楽器に関し、特に携帯型もしくは太陽電池駆動型の電子楽器において、電力不足に陥った場合に、各回路の動作を段階的に停止させて消費電力を削減し、最終的に RAM の記憶のみは保持させるようにした電子楽器に関するものである。

【0002】

【従来の技術】従来、携帯型電子楽器においては、電池の電圧を測定し、電圧レベルの低下を使用者に知らせるものがあつた。また動作用の電池とは別に、リチウム電池等により RAM のみをバッテリーバックアップするものもある。

【0003】

【発明が解決しようとする課題】上記したような従来の電子楽器において、バッテリーバックアップしていない電子楽器では、レベル低下を知らせてから一定の時間動作させると、電源電圧が内部の回路の動作可能な電圧以下に低下し、RAM 内のパネル操作情報等が消失してしまうという問題点があつた。

【0004】また、バッテリーバックアップしているものにおいては、バッテリーを始め部品点数が増加し、電源回路も複雑になるので、製品価格も高価にならざるを得ないという問題点があつた。

【0005】さらに、従来の電子楽器においては、電源の電圧が低下するに従い、スピーカ駆動アンプの電圧が

不足して、音が割れて非常に聞きづらいという問題点があつた。

【0006】本発明の目的は、前記のような従来技術の問題点を改良し、バックアップ用の電池を用いることなく、長時間の動作および記憶保持が可能であり、かつ電圧不足でも音が割れない電子楽器を提供することにある。

【0007】

【課題を解決するための手段】本発明は、電子楽器において、電源の電圧を測定する測定手段と、電子楽器の内部を複数のブロックに分割し、前記各ブロック毎に動作停止制御を行うことができるブロック制御手段と、前記測定手段の出力に基づいて、一部のブロックの動作のみを停止するようにブロック制御手段を制御し、また電圧の低下に従って音量を小さくするように音量制御手段を制御する制御手段とを備えたことを特徴とする。

【0008】

【作用】このような手段により、電圧の低下に従って消費電力を削減し、動作時間および記憶保持時間を長くすることができ、また音量を制御することによって、音割れを防止することができる。

【0009】

【実施例】以下本発明の一実施例を図面を参照して詳細に説明する。図 1 は一実施例である電子楽器のハードウェア構成を表すブロック図である。CPU1 はキーサイン、発音制御など電子楽器全体の制御を行う。この CPU1 はクロックを停止し、ほとんど電力を消費しないスリープモードを有しており、プログラムのコマンドを実行することにより自らスリープモードに入ることが出来る。ROM2 には、制御に必要なプログラム、及び自動演奏データ等のデータが格納されている。

【0010】RAM3 には、音色、テンポ、ボリューム等のパネル設定情報、楽器内の各種制御データあるいは自動演奏データ等が記憶される。なお電源線 e が電池から直接、RAM3 の図示しないバックアップ用電源回路に接続されており、電池電圧が約 1.5V 以上あれば記憶内容を保持することができる。また電池交換時等に一時的に電源断となっても記憶内容を保持するために、大容量のコンデンサも備えている。

【0011】電源チェック回路 4 は後述するが、電源線 e の電圧を定期的に A/D 変換器でデジタル情報に変換し、出力すると共に、電源線 e の電圧が例えば 6.0V 以上になったときに、スリープ状態の CPU1 に起動をかけるための割り込みパルスが発生する。ブロック制御回路 5 も後述するが、CPU1 の制御により、複数のブロック毎に、電源制御信号、あるいはマスタクロック信号のオン、オフを行う。以上 1 から 5 の回路によってブロック B が形成されている。

【0012】パネルスキャン回路 6 は、CPU1 の制御により、パネルのスイッチをスキャンする回路である。

パネルスイッチには、リズム選択スイッチ、音色選択スイッチ等がある。キーボードスキャン回路7は、CPU1の制御によりキーボードの複数のキースイッチをスキャンする回路である。

【0013】MIDIインターフェース回路8は、外部機器との間でMIDIデータを送受信する回路である。表示回路9は、LCDあるいはLED等の表示器及びそのドライブ回路から成り、曲名、音色、リズム等が表示されるほか、電源の状態も表示される。これらの回路6から9によって、主にスピーカ以外のマンマシンインターフェース部分であるブロックAが構成されている。

【0014】楽音発生回路10は、各発音チャンネル毎にCPU1から音高情報、エンベロープ情報、音色情報、音量情報、出力系列（パニンググループ）等をセットされ、波形メモリ11から音高に対応するアドレス間隔で波形データを読み出し、エンベロープ波形を乗算してデジタル楽音信号を発生する。発音処理は時分割多重処理され、例えば16チャンネルの独立した楽音波形を発生する。波形メモリ11は複数の音色のPCM波形データを記憶している。

【0015】パニング回路12は、4つのパニンググループ毎に系列加算された楽音データのそれぞれについて、左右に分配するレベルを制御することによってグループ毎の音場を指定するものである。このパニング回路12には、CPU1からトータルボリューム（音量ボリューム）情報がセットされ、全体の音量も制御可能になっている。実際には、各グループ毎に加算された楽音データに、左右の音場制御データを乗算し、左右それぞれ加算した後に、トータルボリューム情報を乗算する。D/A変換器13は左右2チャンネルの時分割多重された楽音信号をD/A変換する。以上の回路10から13によってブロックCが構成されている。

【0016】左右2つのサンプルホールド回路14、15は、それぞれD/A変換器の時分割多重アナログ出力信号の自分のチャンネルに同期したタイミングでサンプリングを行い、チャンネルを分離する。アンプ16、17はサンプルホールド回路14、15の出力を増幅し、スピーカ18、19から発音する。以上の回路14から19によってブロックDが構成されている。

【0017】充電回路20は、例えば商用の交流電源から低圧の直流電源を得る回路であるが、自動車のバッテリーから電源を取るもの、あるいは太陽電池等でもよい。電池21としては、例えば1.2V-1200mA hの単2ニッケルカドニウム電池を5個直列に用いることで、6.0V-1200mA hの容量を持たせる。本発明が適用される小型電子楽器は例えば6.0V-100mA程度で動作する。（この100mAの内、デジタル処理部の音源LSIが約50mA、スピーカ駆動アンプが約50mA消費する。）従って、この小型電子楽器を連続動作させると約12時間使用可能である。定電圧

回路22は、主にデジタル回路用に5Vの定電圧電源を供給するもので、例えば3端子レギュレータ等が用いられる。なおブロックDのアナログ回路には、電池から直接電源が供給される。23はバスである。

【0018】第2図はブロック制御回路5の構成を示すブロック図である。レジスタ30は、CPU1から任意のデータを書き込むことが可能に構成されており、該レジスタの出力は、直接各ブロックの制御信号a1、b1として出力され、またCPU1から入力されるマスタクロックCKを、ANDゲート31あるいは32を用いてオン、オフし、各ブロックのクロック信号a2、b2として出力している。

【0019】各ブロックには、レジスタの出力信号によってブロック内部の制御信号をゲートする、レジスタの出力信号によってブロックに対する電源供給のオン、オフを制御する、あるいはオンオフ制御されたクロック信号を用いる等の手段を備えることによって、CPU1から各ブロックの動作、即ち電力消費を制御することができる。

【0020】実施例においては、各回路を構成する素子のほとんどがCMOSで構成可能であり、CMOS素子は電源が供給されていてもスイッチングを行わなければ電力はほとんど消費しないので、デジタル回路部分については、クロック信号をオンオフ制御することにより電力制御が可能である。

【0021】図3は電源チェック回路4の構成を示すブロック図である。A/D変換器40はCPU1からクロックCKを供給され、電池21からの電源線eの電圧値をA/D変換する。CPU1は定期的にバス23を介してこの値を読み取る。また電源チェック回路4には、電源線eの電圧が例えば6.0V以上になったときに、スリープ状態のCPU1に起動をかけるための割り込みパルスを発生するための回路がある。

【0022】一例を説明すると、抵抗41とツェナーダイオード42は比較回路45の基準電圧を発生させるための回路であり、抵抗43、44は分圧回路である。比較回路45は、入力Aの電圧の方が入力Bよりも高くなると出力が1になる。従って、例えばツェナーダイオード42の電圧を3Vとし、抵抗43、44の値を同じ値に選べば、電源線eの電圧が6Vを越えると比較回路45の出力が1になる。

【0023】遅延回路46およびANDゲート47は比較回路45の出力の立ち上がりにおいてパルス信号を発生させるための回路である。この回路によって発生したパルスはCPU1のスリープモードからの起動用割り込み端子に入力される。

【0024】つぎに実施例の動作の概略を説明する。図4は測定された電池電圧と、各ブロックの制御状態の関係を示す図である。CPU1は電源チェック回路4内のA/D変換器40により、電池21の電圧を測定する。

6V電池は正常時には6.2V程度の電圧を発生している。従って6V以上を正常状態のレベル1とし、a、b共にオンとし、 $r=1$ とする。a、bはそれぞれブロックA、Bの電源制御信号ビットであり、CPU1がブロック制御回路5のレジスタ30にセットすることにより、各ブロックの電源あるいはクロック、制御信号が制御される。またrは、CPU1がパニング回路12に出力し、パニング回路12において出力されるデジタル楽音信号に乘算される音量制御係数である。

【0025】電池電圧が5.8~6.0Vのレベル2になると、充電容量がやや不足するので、スピーカから発音する音量が電源電圧に従って小さくなるように、rの値を1.0~0.3の範囲で変化させる。a、bはオンのままである。また表示回路により、電源がやや不足してきたことを表示する。

【0026】電池電圧が5.5~5.8Vのレベル3になると、充電容量がかなり不足し、スピーカからの発音は不可能となるので、bをオフとし、これによってブロックDの電源供給をカットし、またブロックCのマスタクロックおよび制御信号も停止させてほとんど電源を消費しない状態とする。aはオンとし、ブロックAには電源あるいはマスタクロックを供給して、表示回路9によって電源が消耗していることを表示する。従ってこの状態でも、例えばパネルあるいはキーボードを用いてRAM内のデータの入出力、更新等は可能である。なお、RAMの記憶保持時間をより長くするために、レベル3において、表示回路9を除くブロックAの回路、あるいはブロックA全体の動作を停止するようにしても良い。

【0027】電源電圧が1.5~5.5Vのレベル4になると、a、b共にオフとし、CPU1が暴走するおそれがあるので、プログラムのスリープコマンドを実行することにより、自らスリープモードに入る。この状態ではCPU1はクロックを停止し、ほとんど電力を消費しない。RAM3はこの状態でも電池から直接バックアップ用電源回路に電源が供給されており、電池電圧が1.5V以下になるまでは記憶内容を保持している。電源電圧が1.5V以下のレベル5になると、CPU1は動作を完全に停止し、RAMの記憶内容も消失する。従ってレベル4以下の状態中に充電あるいは電池の交換等を行えば、RAM3の記憶内容は保持される。

【0028】つぎにCPU1の制御動作について説明する。図5はCPU1の制御動作を示すフローチャートである。ステップS10においては、CPU1は電源チェック回路4のA/D変換器40から電源線eの電圧データLVを読み込む。

【0029】ステップS11においては、LVが5.8V以上であるか否かが調べられ、LVが5.8V未満の場合にはステップS12に移行する。ステップS12においては、さらにLVが5.5V以上であるか否かが調べられ、LVが5.5V未満の場合にはレベル4とな

り、ステップS13に移行する。

【0030】ステップS13においては、a、b共にオフの制御データをブロック制御回路5のレジスタ30にセットし、プログラムのコマンドを実行することにより、CPU1自身をスリープモードにする。この状態においてはクロックが停止しており、ほとんど電力を消費せず、また電源チェック回路から起動割り込みがかかるまでこの状態を保持する。

【0031】ステップS12においてLVが5.5V以上であった場合にはレベル3となり、ステップS14に移行する。ステップS14においては、aはオン、bはオフの制御データをブロック制御回路5のレジスタ30にセットし、また「電源消耗」を表示する。

【0032】ステップS11に戻って、LVが5.8V以上ある場合にはステップS15に移行し、a、b共にオンの制御データをブロック制御回路5のレジスタ30にセットする。ステップS16においては、LVが6.0V以上あるか否かが調べられ、6.0V以上ある場合にはレベル1となり、ステップS17に移行し、rを1にセットする。ステップS16において、LVが6.0V未満の場合にはレベル2となり、ステップS18に移行して、rを下記の式により算出する。

【0033】

$$r = 0.3 + (LV - 5.8) * 7 / 2$$

【0034】この演算により、LVが6.0から5.8に変化するに従って、rは1から0.3まで直線的に変化する。ステップS19においては、表示装置に「電源不足」を表示する。

【0035】ステップS20以下は周知の電子楽器の制御処理である。まずステップS20においては、CPU1はパネルスキャン回路6を制御し、パネルスイッチの状態をスキャンする。ステップS21においては、パネルスイッチの状態が前回の状態から変化しているか否かが調べられ、もし状態が変化していれば、ステップS22において該当するパネルスイッチ処理が行われる。

【0036】ステップS23においては、CPU1はキーボードスキャン回路7を制御し、キースwitchの状態をスキャンする。ステップS24においては、キースwitchの状態が前回の状態から変化しているか否かが調べられ、もし状態が変化していれば、ステップS25において該当するキーサイン処理が行われる。ステップS26においては、楽音発生回路10の各発音チャンネルの制御を行い、ステップS27においては通常の表示処理が行われる。

【0037】なお、レベル3の状態においては、キーサイン処理や発音処理は無駄であるので、ステップS14の処理後にはステップS27に移行するようにしてもよい。

【0038】図6は電源電圧の減少に伴うレベルの推移を示すグラフである。上は本発明によるものであり、下

は従来例を示している。従来例においては、電源電圧が6Vを切り、電源不足状態になって音が歪んでもそのまま動作を続け、5.5V程度になってCPU1が正常に動作出来なくなると動作を停止するが、電源スイッチがオン状態の場合には電子楽器内の各回路は動作しており、電源は急速に消耗する。そして電源電圧が1.5Vを切るとRAM3の記憶内容が消失する。

【0039】これに対して、本発明の方式においては、電源電圧が6Vを切ると、電圧に比例して音量を小さくするように制御する。このことによってブロックDのアンプの電力消費を抑えたと共に音割れを防止し、また利用者に電源不足を認識させることができる。このことにより動作時間を長くすることが可能となる。

【0040】電圧がさらに低下し、5.8Vを切ると、楽音出力をオフとすることによって、電力消費を大幅に削減し、あまり電力を消費しないA、Bブロックの機能のみは使用可能な状態になり、電源が消耗して楽音が出来ない状態であることを表示する。この状態でも、利用者は一部の機能は利用可能であり、また表示により充電が必要であることが分かる。

【0041】電源電圧が5.5Vを切ると、CPUは各ブロックの動作を停止させ、自らスリープモードに入るので、電源スイッチをオン状態にしても、ほとんど電力を消費せず、RAM3の記憶内容を長時間保持することが可能となる。レベル4あるいは5の状態において充電を開始すると、電源電圧が急速に回復し、例えば6Vを越えると電源チェック回路4の回路により、スリープ状態のCPU1に起動をかけるための割り込みパルスが発生する。

【0042】以上、実施例を説明したが、以下のような変形例も考えられる。まず、電源制御単位となるブロックはもっと細かく分割し、例えば図1の各回路ブロック毎に制御可能な構成にしてもよい。また各電圧レベルに対応してどのブロックを動作させ、どのブロックを停止させるかは、電力消費量や他の回路ブロックとの関連等によって種々の動作モードが考えられる。例えばレベル2において、楽音出力を片方のチャンネルのみにして、他方のチャンネルの電源をオフにしてもよい。さらに各レベルの境の電圧について、上記実施例の値は一例であって、実際には電池の特性、アンプの動作特性、CPUやRAMの動作電圧等を考慮して決定される。

【0043】音量制御情報は、CPU1がパニング回路12に出力しているが、ブロック制御回路にデータを出

かし、ハードウェアによりパニング回路の制御を行う、あるいはアナログ回路部分においてレベルの制御を行うようにしてもよい。

【0044】表示については、LEDやLCDによる表示の例を示したが、警告音や音声合成による警告メッセージを楽音発生回路等を利用して発生させ、スピーカから発音してもよい。

【0045】電源電圧測定回路は通常のA/D変換器を用いた例を示したが、特定の電圧レベルとの大小のみを判別すればよいので、基準電圧源と複数の電圧比較器によって構成することも可能である。なお、上記実施例のブロックA、B、Cの回路は全てLSI化することも可能である。また、本発明は鍵盤型の電子楽器に限らず、電子アラームや電子チャイム等電子的に楽音を発生する全てのシステムに適用可能である。

【0046】

【発明の効果】以上述べたように、本発明の電子楽器における電源制御方式によれば、バックアップ用の電池を用いることなく、長時間の動作および記憶保持が可能であり、かつ電圧不足でも音が割れないという効果がある。

【図面の簡単な説明】

【図1】 電子楽器のハードウェア構成を表すブロック図である。

【図2】 ブロック制御回路の構成を示すブロック図である。

【図3】 電源チェック回路の構成を示すブロック図である。

【図4】 電池電圧と、各ブロックの制御状態の関係を示す図である。

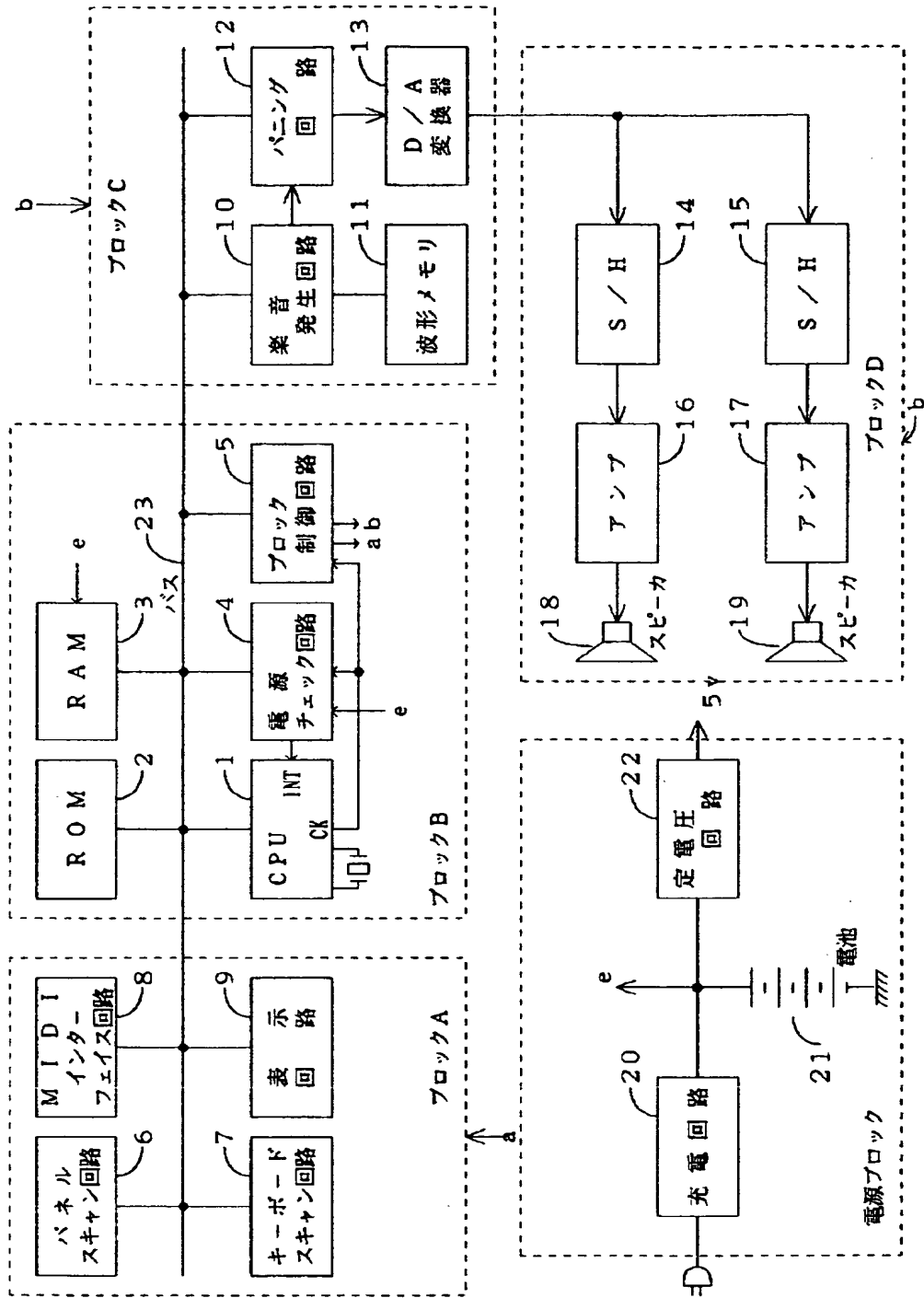
【図5】 CPUの制御動作を示すフローチャートである。

【図6】 電源電圧の減少に伴うレベルの推移を示すグラフである。

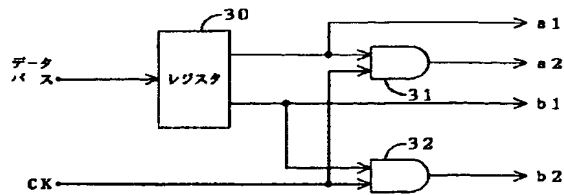
【符号の説明】

1…CPU、2…ROM、3…RAM、4…電源チェック回路、5…ブロック制御回路、6…パネルスキャン回路、7…キースキャン回路、8…MIDIインターフェース回路、9…表示回路、10…楽音発生回路、11…波形メモリ、12…パニング回路、13…D/A変換器、14、15…サンプルホールド回路、16、17…アンプ、18、19…スピーカ、20…充電回路、21…電池、22…定電圧回路、23…バス

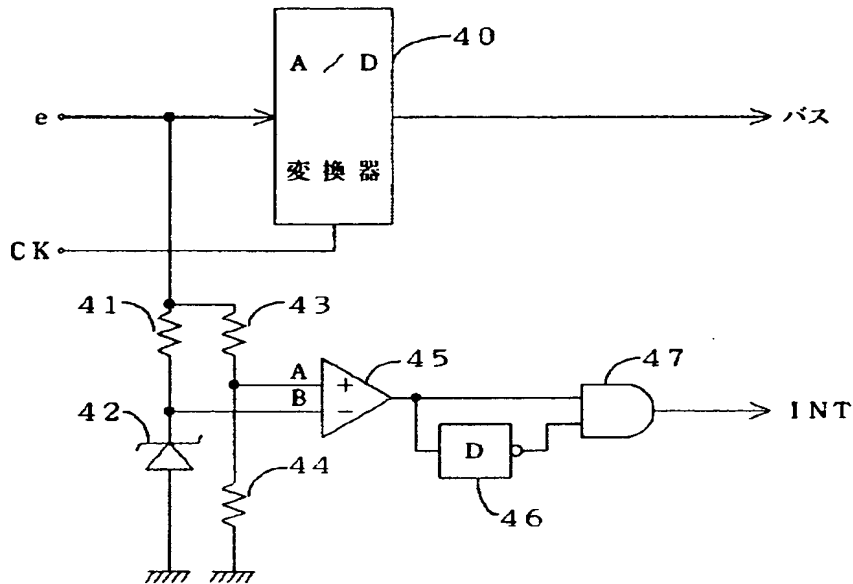
【図1】



【図 2】



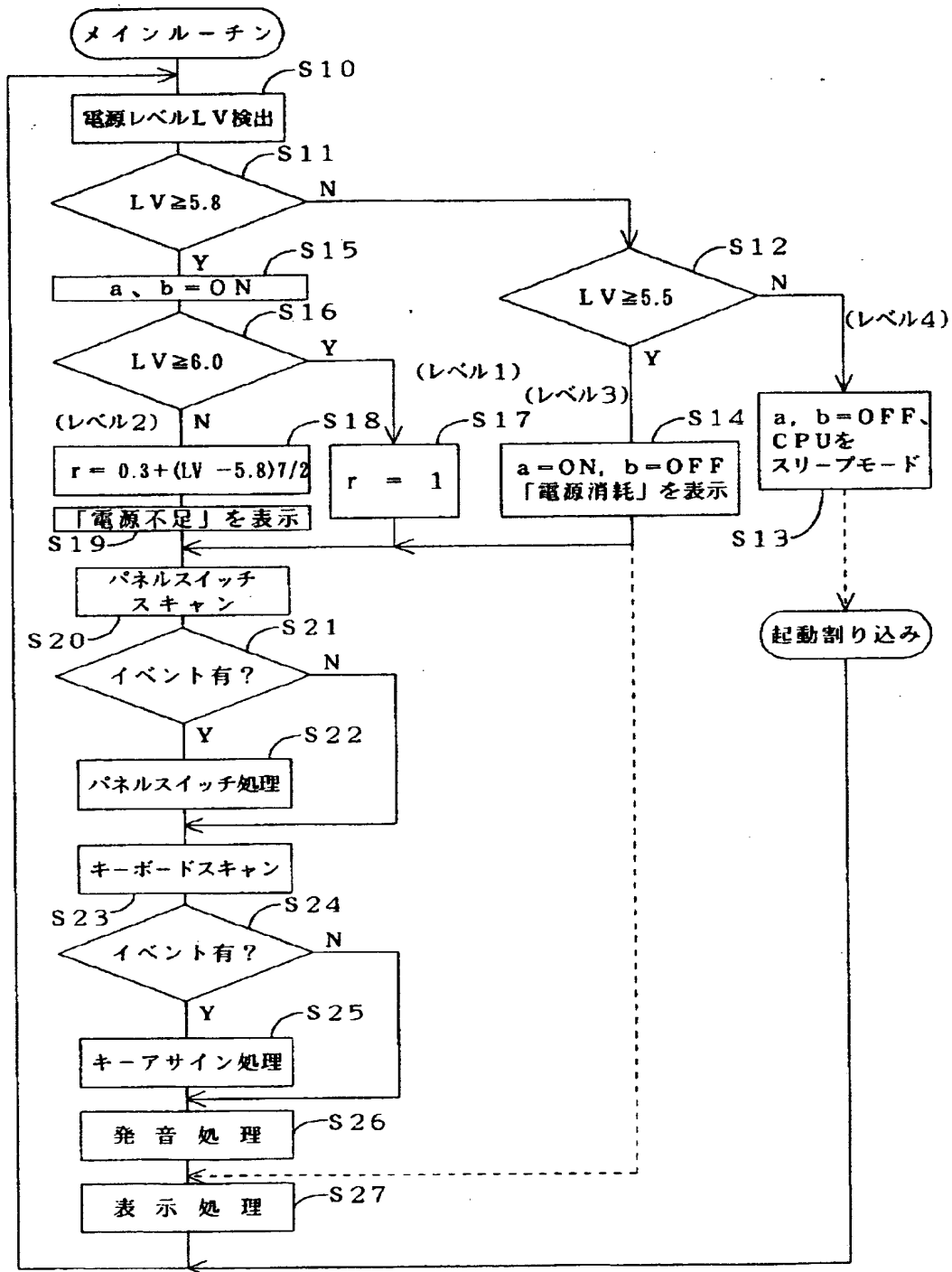
【図 3】



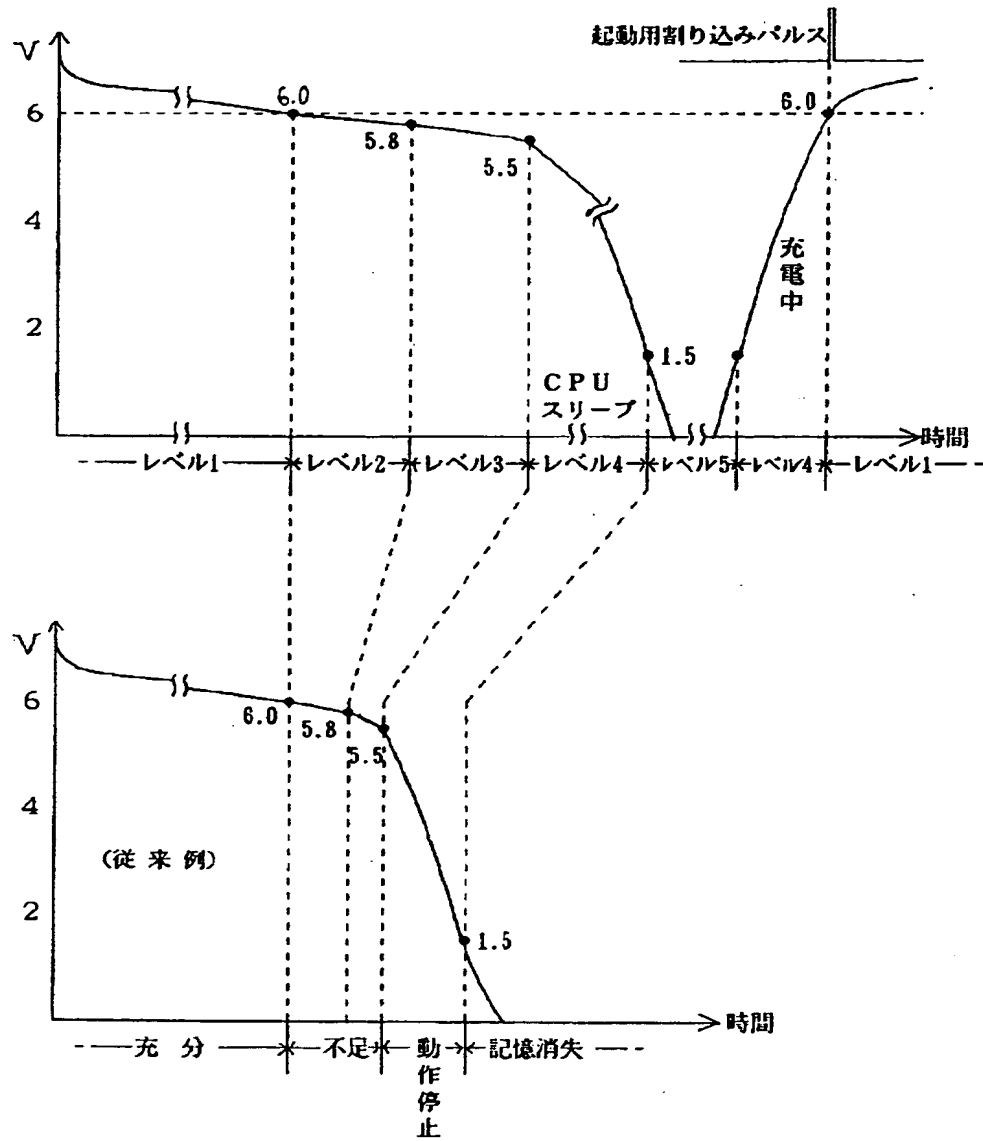
【図 4】

レベル	電池電圧 (V)	ブロック制御	状 態
1	6.0 以上	a.b=ON r=1	全 て 稼 動
2	5.8 - 6.0	a.b=ON 0.3<r<1	音量制御により電源節約 (表示にて警告)
3	5.5 - 5.8	a=ON, b=OFF	A, Bブロックのみ稼動 (表示にて警告)
4	1.5 - 5.5	a.b=OFF	CPUはスリープ状態 (RAMバックアップ)
5	1.5 以下	———	CPUストップ、RAM内容消失

【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.